Cyfrowe układy logiczne

Pamięci — Look-Up Table:

- Random Access Memory
  (Dynamic RAM, Static RAM, ...)
- Programmable Read-Only Memory
- Erasable PROM

Bramki TTL *(prehistoria)*

Programmable Array Logic *(historia)*

- realizuje sumę iloczynów logicznych (~)wejść
- programowalny jednorazowo

Gate Array *(historia)*

- układ dowolnie połączonych bramek logicznych
- połączenia wykonywane przez producenta

Application Specific Integrated Circuits

produkowane według projektu użytkownika:

- full custom — “rzeźba w krzemie”
- gotowe elementy (bramki, przerzutniki) z biblioteki
- VLSI Hardware Definition Language (VHDL)
  język podobny do Pascala

Field Programmable Gate Arrays *(Xilinx)*
Complex Programmable Logic Devices *(Altera)*

- wielokrotnie programowalne Gate Arrays (on board)
- VHDL lub podobny język

Programmable ASIC = anti-fuse FPGa

- jednokrotnie programowalne FPGA

Cyfrowe układy logiczne

	ASIC	P-ASIC	FPGA
programowalność	0	1	∞
złożoność	+	-	- ↑
szybkość	+	+	- ↑
cena projektu	10^{5-6} $	10^{2-3} $	10^{2-3} $
cena układu	~10 $	~100 $	10^{2-3} $
iteracja prototypu	0.5-1 rok	10-100 dni	0.1-100 dni
odporność na promieniowanie	+	+	-

Użyj FGPA jeśli tylko możesz.
Użyj ASIC jeśli naprawdę musisz.

Współczesne ASIC i FPGA umożliwiają tak skomplikowane konstrukcje, że głównym problemem (dominującym cenę!) **staje się liczba nóżek** (>1000).

Coraz częściej każda nóżka staje się "portem szeregowym" transmitującym dane na wysokiej częstości (do 1 GHz).

Testowanie układu logicznego może być bardziej czasochłonne od zaprojektowania i droższe od produkcji!

Boundary Scan JTAG **- standard umożliwiający podanie sygnałów testowych na wejściach i obserwowanie wyjść układu na płycie bez demontażu.**